VLSI HW4

106061151 電機大三 劉安得

1.

一張含有 文字, 地圖 的圖片

自動產生的描述

Setup time, min tD2Q, min tCK2Q (High)

一張含有 文字, 地圖 的圖片

自動產生的描述

Setup time, min tD2Q, min tCK2Q (Low)

一張含有 文字, 地圖 的圖片

自動產生的描述

Hold up time (High)

一張含有 文字, 地圖 的圖片

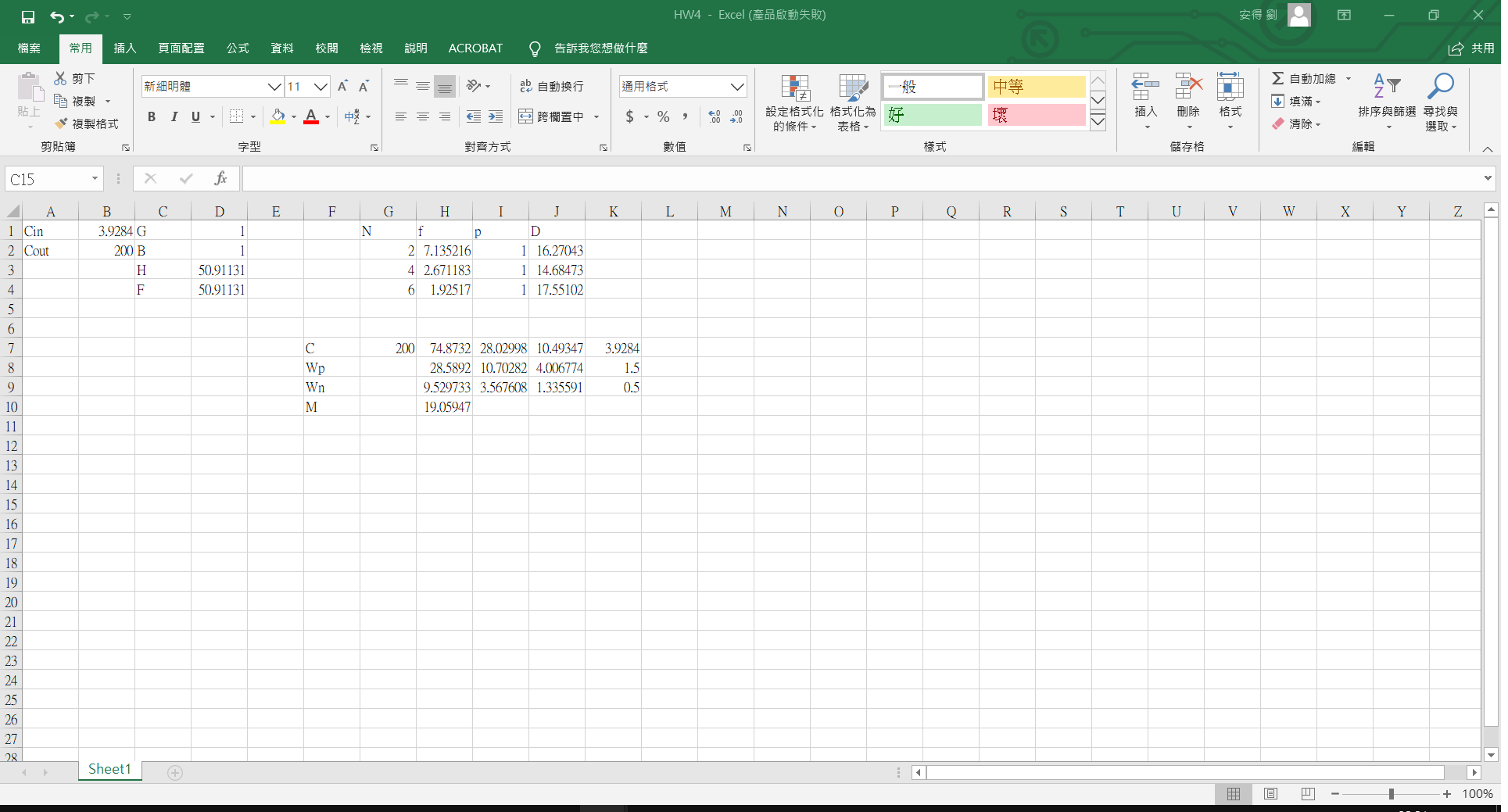
自動產生的描述

Hold up time (Low)

2.

一張含有 螢幕擷取畫面 的圖片

自動產生的描述



首先經過計算，N=4時，delay為最小。我保留Flip-Flop裡面的MOS大小不變，這樣才不會影響到set up time & hold time。因此可以把前面的電路當成一個unit inv，這樣後面再加兩個inv即可滿足我的設計概念

3. 一張含有 電子用品, 顯示, 電腦 的圖片

自動產生的描述

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

我有使用metal 2, 3，分別用作clk和VDD, VSS的連接。因為如果不使用新的Metal的話，Metal 1只要一碰在一起就會短路。Metal 1則主要用作MOS之間的線路連接

我有盡量縮小area和縮短wire的長度，來降低delay

4.

一張含有 文字, 地圖 的圖片

自動產生的描述

Setup time, min tD2Q, min tCK2Q (High)

一張含有 地圖, 文字 的圖片

自動產生的描述

Setup time, min tD2Q, min tCK2Q (Low)

一張含有 地圖, 文字 的圖片

自動產生的描述

Hold up time (High)

一張含有 文字, 地圖 的圖片

自動產生的描述

Hold up time (Low)

5.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Pre-layout simulation | | Post-layout simulation | |
|  | Rising | Falling | Rising | Falling |
| tSU | 87ps | 77ps | 98ps | 73ps |
| tH | -27ps | -61ps | -10ps | -63ps |
| Min. tD2Q | 481ps | 488ps | 585ps | 588ps |
| Min. tCK2Q | 375ps | 399ps | 461ps | 501ps |
| Power consumption (mW) | 0.04488285 | | 0.04926066 | |
| Layout area (um2) | No | | 1,311.448125 | |